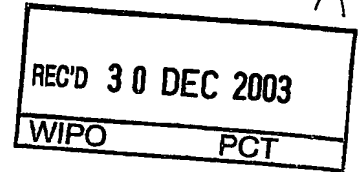


10/537470 天
PCT/JP03/15468 W.O.
03.12.03 A435

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 4 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 5 2 6 6 4
[ST. 10/C]: [J P 2 0 0 2 - 3 5 2 6 6 4]

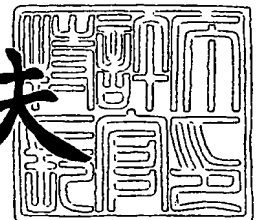
出 願 人
Applicant(s): 日 本 電 気 株 式 有 限 公 司

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 3 年 1 0 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



Best Available Copy

出証番号 出証特 2 0 0 3 - 3 0 8 1 3 0 1

【書類名】 特許願

【整理番号】 33409946

【提出日】 平成14年12月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/68

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 矢野 仁之

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 山瀬 知行

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 沼田 圭市

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 前多 正

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 増幅回路

【特許請求の範囲】

【請求項 1】 入力端子からの信号を増幅して出力端子に出力する増幅素子と、

所望により前記増幅素子の入力インピーダンスを高インピーダンスにする制御回路とを有する増幅回路。

【請求項 2】 入力端子からの信号を増幅して出力端子に出力する増幅素子と、

所望により前記増幅素子の出力インピーダンスを高インピーダンスにする制御回路とを有する増幅回路。

【請求項 3】 入力端子からの信号を増幅して出力端子に出力する増幅素子と、

所望により前記増幅素子の入力インピーダンスおよび出力インピーダンスを高インピーダンスにする制御回路とを有する増幅回路。

【請求項 4】 前記制御回路がインダクタンス素子とスイッチ素子を有する、請求項 1～3 のいずれか 1 項に記載の増幅回路。

【請求項 5】 前記インダクタンス素子と前記スイッチ素子が直列接続され、前記入力端子または前記出力端子と接地電位の間に交流的に接続された、請求項 4 に記載の増幅回路。

【請求項 6】 前記スイッチ素子が電界効果トランジスタである、請求項 5 に記載の増幅回路。

【請求項 7】 前記インダクタンス素子は、前記増幅素子に寄生する容量と並列共振するインダクタンス値を有する、請求項 5 または 6 に記載の増幅回路。

【請求項 8】 前記制御回路は、一端が前記入力端子または前記出力端子に接続された伝送線路と一端が接地された伝送線路を含み、長さの合計が適用波長の 4 分の 1 の奇数倍となる少なくとも 2 つの伝送線路と、前記入力端子または前記出力端子と接地電位の間を前記適用波長の 4 分の 1 の奇数倍分の伝送線路で接続するか、それより短い分の伝送線路で接続するかを切り替え可能なスイッチ素

子とで構成された、請求項 1～3 のいずれか 1 項に記載の増幅回路。

【請求項 9】 前記適用波長の 4 分の 1 の奇数倍より短い分の伝送線路は、前記増幅素子に寄生する容量と並列共振する値のインダクタとして働く、請求項 8 に記載の増幅回路。

【請求項 10】 互いに異なる利得を与えられて並列に接続された少なくとも 2 つの、請求項 1～9 のいずれか 1 項に記載の増幅回路を有し、いずれか 1 つの増幅回路を除く他の増幅回路の前記入力インピーダンスまたは前記出力インピーダンスのいずれかあるいは両方を高インピーダンスにすることにより利得を変更する増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波信号を増幅する増幅回路、およびこの増幅回路を複数有する可変利得増幅回路に関する。

【0002】

【従来の技術】

従来から、無線通信システムにおいて、可変利得増幅回路は重要な回路技術とされてきた。しかし、現代の高度化した携帯電話や、マルチメディアに対応すべく高速なデータ転送をサポートした無線 LAN システムにおいて、より低電力で動作し、かつ高精度に利得を制御できることが可変利得増幅回路に求められている。

【0003】

図 11 は、可変アッテネータと増幅器を組合せた利得可変増幅回路の従来例を示す図である。図 11 の可変利得増幅回路は可変アッテネータ 91 と増幅器 92 が直列に接続された構成である。図 11 の可変利得増幅回路は、可変アッテネータ 91 の減衰量を変化させることにより増幅回路トータルの増幅度を制御する。

【0004】

図 12 は、スイッチにより増幅器とアッテネータのいずれかを選択する可変利得増幅回路の従来例を示す図である。図 12 の可変利得増幅回路は、可変アッテ

ネータ 93 と増幅器 94 のいずれかをスイッチ 95₁, 95₂によって選択する構成である。

【0005】

他の従来例として、複数の増幅器を有する可変利得増幅回路がある（特許文献 1 参照）。

【0006】

図 13 は、複数の増幅器を用いた可変利得増幅回路の従来例を示す図である。図 13 の可変利得増幅回路は、複数の増幅器 96₁～96_Nが 1 つの復調器 97 に接続された構成である。増幅回路 96₁～96_Nは、互いに異なる利得をそれぞれ有している。本可変利得増幅器では、所望の利得を得るのに適した増幅器だけがオンにされる。そして、その他の増幅器はオフにされ、出力が高インピーダンスになって、復調器 97 から電氣的に切り離される。

【0007】

【特許文献 1】

特開 2001-345653 号公報

【0008】

【発明が解決しようとする課題】

図 11 に示された可変利得増幅器では、初段に可変アッテネータ 91 が置かれるため、その損失がそのままノイズ指数の悪化となり、ノイズ指数を良くすることができない。

【0009】

また、必要な増幅度の大小に関わらず増幅器 92 は増幅動作を行うので常に電力が消費され続ける。例えば、入力が大きく、大きな増幅度が必要でない場合でも増幅器 92 は常に増幅動作を行うこととなる。そのため、携帯端末のようにバッテリーで動作する機器において使用時間を延長することができない。

【0010】

図 12 に示された可変利得増幅回路では、複数のスイッチ（図 12 では 2 つ）が使用されるため、スイッチによる損失分を、増幅器 94 や、本可変利得増幅回路の後段の増幅器（不図示）で補償する必要がある。そして、そのために装置全

体として消費電力が増加する。特に、数GHzを越える周波数帯ではスイッチの損失は大きく、そのため、所望の利得を得るのに必要となる消費電力がさらに大きくなる。

【0011】

図13に示された可変利得増幅回路を適用できるのはIF帯のような数十MHz程度の周波数までである。増幅器961~96Nの負荷抵抗は50オームから200オーム程度に設定される。しかし、GHzを超える周波数では、半導体デバイスの寄生容量によりオフ状態でのインピーダンスが下がるので、オフにされている増幅器の出力が十分に高インピーダンスにならない。

【0012】

利得の可変範囲を広くとるため、あるいは利得の可変ステップを細かくとるためには、増幅器を並列接続する数を増やせばよいが、そうすると、オフにされている増幅器のインピーダンスの影響により、次段へ信号が伝わらず全体の利得が低下する。

【0013】

本発明の目的は、入出力を良好に高インピーダンスにでき、かつ低消費電力で高利得の得られる増幅回路と、それを複数有し、ノイズ特性に優れ、かつ利得可変範囲の広い可変利得増幅回路を提供することである。

【0014】

【課題を解決するための手段】

上記目的を達成するために、本発明の増幅回路は、入力端子からの信号を増幅して出力端子に出力する増幅素子と、所望により増幅素子の入力インピーダンスを高インピーダンスにする制御回路とを有している。

【0015】

本発明の他の増幅回路は、入力端子からの信号を増幅して出力端子に出力する増幅素子と、所望により増幅素子の出力インピーダンスを高インピーダンスにする制御回路とを有している。

【0016】

本発明のされに他の増幅回路は、入力端子からの信号を増幅して出力端子に出

力する増幅素子と、所望により増幅素子の入力インピーダンスおよび出力インピーダンスを高インピーダンスにする制御回路とを有している。

【0017】

したがって、本発明によれば、制御回路によって入力インピーダンスまたは出力インピーダンスが高インピーダンスとされるので、信号経路にスイッチを挿入することなく電氣的な接続／切断を切り替えることができ、スイッチを挿入することによる損失を生じない。

【0018】

また、制御回路がインダクタンス素子とスイッチ素子を有することとしてもよい。

【0019】

また、インダクタンス素子とスイッチ素子が直列接続され、入力端子または出力端子と接地電位の間に交流的に接続されていることとしてもよい。

【0020】

したがって、増幅素子に寄生する容量による高周波数帯でのインピーダンスの低下を、インダクタンス素子により相殺できる。

【0021】

また、スイッチ素子が電界効果トランジスタであってもよい。

【0022】

また、インダクタンス素子は、増幅素子に寄生する容量と並列共振するインダクタンス値を有してもよい。

【0023】

したがって、増幅素子に寄生する容量による高周波数帯でのインピーダンスの低下を、所定の周波数で寄生容量と並列共振するインダクタンス素子により相殺できる。

【0024】

また、制御回路は、一端が入力端子または出力端子に接続された伝送線路と一端が接地された伝送線路を含み、長さの合計が適用波長の4分の1の奇数倍となる少なくとも2つの伝送線路と、入力端子または出力端子と接地電位の間を適用

波長の4分の1の奇数倍分の伝送線路で接続するか、それより短い分の伝送線路で接続するかを切り替え可能なスイッチ素子とで構成されていてもよい。

【0025】

また、適用波長の4分の1の奇数倍より短い分の伝送線路は、増幅素子に寄生する容量と並列共振する値のインダクタとして働くこととしてもよい。

【0026】

本発明の利得可変な増幅回路は、互いに異なる利得を与えられて並列に接続された少なくとも2つの、上述された増幅回路を有し、いずれか1つの増幅回路を除く他の増幅回路の入力インピーダンスまたは出力インピーダンスのいずれかあるいは両方を高インピーダンスにすることにより利得を変更する。

【0027】

したがって、本発明によれば、各増幅回路は選択されていないとき入出力を高インピーダンス化でき、並列接続する増幅回路の数が多くても高利得を維持できる。

【0028】

【発明の実施の形態】

本発明の実施形態について図面を参照して詳細に説明する。

【0029】

図1は、本発明の一実施形態の可変利得増幅回路の構成を示す図である。図1を参照すると、本可変利得増幅回路は、複数の増幅回路 $100_1 \sim 100_N$ を有している。

【0030】

入力端子INには、全ての増幅回路 $100_1 \sim 100_N$ の入力端子が接続されている。出力端子OUTには、全ての増幅回路 $100_1 \sim 100_N$ の出力端子が接続されている。増幅回路 $100_1 \sim 100_N$ は全て同様の構成であるが、それぞれ利得が異なり、また制御電圧 $V_{c1} \sim V_{cN}$ による制御で個々に高インピーダンスとすることが可能である。そして、制御電圧 $V_{c1} \sim V_{cN}$ により各増幅回路 $100_1 \sim 100_N$ を入力端子INおよび出力端子OUTに電氣的に接続するか否かを選択できる。したがって、いずれか1つの増幅回路を選択することにより、可

変利得増幅回路の利得を所望の値にすることができる。

【0031】

図2は、図1に示された増幅回路の構成を示す図である。この増幅回路はシングルエンド型増幅回路である。図2を参照すると、増幅回路100は、インダクタ201、203、204、205、206、抵抗202、容量207および電界効果トランジスタ208、209、210を有している。

【0032】

入力端子INには、インダクタ201の一方の端子と抵抗202の一方の端子が接続されている。抵抗202の他方の端子はゲートバイアス電位 V_{gbias} とされている。インダクタ201の他方の端子には、電界効果トランジスタ208のゲートとインダクタ203の一方の端子が接続されている。インダクタ203の他方の端子には電界効果トランジスタ209のドレインが接続されている。

【0033】

電界効果トランジスタ208のドレインには、インダクタ204、205、206の各々の一方の端子が接続されている。インダクタ206の他方の端子には電源電圧 V_{dd} が供給されている。インダクタ204の他方の端子には、電界効果トランジスタ210のドレインが接続されている。電界効果トランジスタ209、210の各々のゲートには、制御電圧 V_c が供給される。電界効果トランジスタ208、209、210のソースは接地されている。インダクタ205の他方の端子は、出力端子OUTと、容量207の一方の端子が接続されている。容量207の他方の端子は接地されている。

【0034】

そして、インダクタ201、205、206および容量207は入出力整合回路として働く。ただし、インダクタ206はチョークインダクタとしての機能も有する。抵抗202は入力信号にゲートバイアスを加える。電界効果トランジスタ208は、本可変利得増幅回路のメインの増幅素子である。制御電圧 V_c は、本増幅回路100をオン／オフするための制御電圧である。

【0035】

本実施形態の増幅回路100は、スイッチ素子としての電界効果トランジスタ

209, 210と共振用のインダクタ203, 204で構成された制御回路に対して制御が加えられることにより、オン状態とオフ状態が切り替わる。制御電圧 V_c をハイレベル例えば電源電圧 V_{dd} に設定し、ゲートバイアス電位 V_{gbias} を0Vに設定すると、増幅回路100はオフ状態となる。

【0036】

制御電圧 V_c をローレベル例えば0Vに設定し、ゲートバイアス電位 V_{gbias} を動作電位に設定すると、増幅回路100はオン状態となる。ここで動作電位とは、トランジスタ208が増幅器として動作するゲートバイアス値である。

【0037】

オン状態では、増幅回路100は、入力端子INおよび出力端子OUTと電氣的に接続され、入力端子INの信号を増幅して出力端子OUTに供給する。オフ状態では、増幅回路100は入出力ともに高インピーダンスとなり、入力端子INおよび出力端子OUTと電氣的に切り離される。

【0038】

増幅回路100が高インピーダンス状態となる原理について説明する。

【0039】

図3は、図2に示した増幅回路が高インピーダンス状態となる原理について説明するための図である。制御信号 V_c をハイレベルとして電界効果トランジスタ209, 210をオンにし、ゲートバイアス電位 V_{gbias} を0Vにしたときの増幅回路100の入力側(a)および出力側(b)の等価回路が示されている。

【0040】

図3(a)において、インダクタ301は図2のインダクタ201に相当する。インダクタ303は図2のインダクタ203に相当する。図3(b)において、インダクタ306は図2のインダクタ206に相当する。インダクタ305は図2のインダクタ205に相当する。容量307は図2の容量207に相当する。インダクタ304は図2のインダクタ204に相当する。

【0041】

ゲートバイアス電位 V_{gbias} が0Vなので、電界効果トランジスタ208

はオフとなっており、ゲート側から見てもドレイン側から見ても、デバイスの真性半導体を持つゲート容量およびドレイン容量すなわち容量 320, 321 に見える。

【0042】

そして、本実施形態では、インダクタ 303 と容量 320 が並列共振するように、インダクタ 303 の値が決められている。また、同様に、インダクタ 304 と容量 321 が並列共振するように、インダクタ 304 の値が決められている。これにより、入力インピーダンスおよび出力インピーダンスを高くすることができる。

【0043】

容量 320, 321 の値は、プロセスの世代およびゲートのサイズによって変わるが、例えばゲート幅が $300\ \mu\text{m}$ の電界効果トランジスタでは $300\ \text{fF}$ 程度である。 $300\ \text{fF}$ 程度の容量について、周波数 $5\ \text{GHz}$ の増幅回路を想定すれば、インダクタ 303, 304 は $3\ \text{nH}$ 程度とすればよい。この程度のインダクタであれば、配線によって IC 上に容易に形成することができる。

【0044】

また、増幅回路 100 がオン状態で通常の増幅動作を行っているとき、電界効果トランジスタ 209, 210 はオフである。電界効果トランジスタ 209, 210 は、入出力間の信号の経路に無いので、オフ時の抵抗が高く設定されている。オフ時のシャント寄生容量が小さく抑えられ、インピーダンスは高くなっている。そのため、電界効果トランジスタ 209, 210 がオフのとき、インダクタ 303, 304 はフローティング状態である。

【0045】

以上説明したように、本実施形態によれば、信号経路にスイッチを挿入することなく、 GHz オーダーを超える高周波数帯において、増幅回路 100 の入出力インピーダンスを高くすることができるので、この増幅回路 $100_1 \sim 100_N$ を並列接続した可変利得増幅回路において、利得の可変範囲を広く取っても、あるいは利得の可変ステップを細かくとっても、高利得、低ノイズ指数を維持できる。

【0046】

また、本実施形態によれば、可変利得増幅回路は、並列接続する増幅回路の数を増やしても高利得を維持できるので、消費電流を抑えることができる。そして、特に、GHzを越える高周波数帯で、その効果が顕著である。

【0047】

図4は、本実施形態の可変利得増幅回路に適用可能な他の増幅回路の構成を示す図である。図4を参照すると、本増幅回路は、インダクタ401、403、404、405、406、抵抗402、容量407および電界効果トランジスタ408、409、410、411を有している。図4の増幅回路は、増幅部にカスコード接続された2つの電界効果トランジスタ408、411を有する点で図2のものと異なる。

【0048】

入力端子INには、インダクタ401の一方の端子と抵抗402の一方の端子が接続されている。抵抗402の他方の端子はゲートバイアス電位 V_{gbias} とされている。インダクタ401の他方の端子には、電界効果トランジスタ408のゲートとインダクタ403の一方の端子が接続されている。インダクタ403の他方の端子には電界効果トランジスタ409のドレインが接続されている。

【0049】

電界効果トランジスタ408のドレインには、電界効果トランジスタ411のソースが接続されている。電界効果トランジスタ411のゲートには、制御電圧 V_{cA} が供給されている。電界効果トランジスタ411のドレインには、インダクタ404、405、406の各々の一方の端子が接続されている。インダクタ406の他方の端子には電源電圧 V_{dd} が供給されている。インダクタ404の他方の端子には、電界効果トランジスタ410のドレインが接続されている。電界効果トランジスタ409、410の各々のゲートには、制御電圧 V_{cB} が供給される。電界効果トランジスタ408、409、410のソースは接地されている。インダクタ405の他方の端子は、出力端子OUTと、容量407の一方の端子が接続されている。容量407の他方の端子は接地されている。

【0050】

そして、インダクタ 401, 405, 406 および容量 407 は入出力整合回路として働く。ただし、インダクタ 406 はチョークインダクタとしての機能も有する。抵抗 402 は入力信号にゲートバイアスを加える。電界効果トランジスタ 408, 411 は、本可変利得増幅回路のメインの増幅素子である。制御電圧 V_{cA} , V_{cB} は、本増幅回路をオン／オフするための制御電圧であり、相補関係にある。

【0051】

本増幅回路は、所望によって制御を加えられることによりオン状態とオフ状態が切り替わる。制御電圧 V_{cA} をローレベル、制御電圧 V_{cB} をハイレベルに設定し、ゲートバイアス電位 V_{gbias} を 0 V に設定すると、本増幅回路はオフ状態となる。

【0052】

制御電圧 V_{cA} をハイレベル、制御電圧 V_{cB} をローレベルに設定し、ゲートバイアス電位 V_{gbias} を動作電位に設定すると、本増幅回路はオン状態となる。ここで動作電位とは、トランジスタ 408 が増幅器として動作するゲートバイアス値である。

【0053】

オン状態では、本増幅回路は、入力端子 IN および出力端子 OUT と電氣的に接続され、入力端子 IN の信号を増幅して出力端子 OUT に供給する。オフ状態では、本増幅回路は入出力ともに高インピーダンスとなり、入力端子 IN および出力端子 OUT と電氣的に切り離される。

【0054】

本増幅回路が高インピーダンス状態となる原理は図 2 と同じである。

【0055】

なお、本実施形態の増幅回路によれば、2 つの電界効果トランジスタがカスコード接続されることにより入力端子と出力端子の間の容量が小さくなっており、図 2 に示した回路よりさらに高い周波数帯で動作可能である。

【0056】

図 5 は、本実施形態の可変利得増幅回路に適用可能な他の増幅回路の構成を示

す図である。図5を参照すると、本増幅回路は、インダクタ501, 503, 504, 505, 506、抵抗502、容量507および電界効果トランジスタ508, 509, 510, 511, 512を有している。図5の増幅回路は、増幅部にカスコード接続された2つの電界効果トランジスタ408, 411を有する点は図4のものと同一である。しかし、本増幅回路では、整合用のインダクタ506と電源電圧 V_{dd} の間に、電流遮断用の電界効果トランジスタ512が設けられている点で図4のものと異なる。電界効果トランジスタ511は、本増幅回路がオフ状態では、電源から本電源回路への電流の供給を遮断する。

【0057】

入力端子INには、インダクタ501の一方の端子と抵抗502の一方の端子が接続されている。抵抗502の他方の端子はゲートバイアス電位 V_{gbias} とされている。インダクタ501の他方の端子には、電界効果トランジスタ508のゲートとインダクタ503の一方の端子が接続されている。インダクタ503の他方の端子には電界効果トランジスタ509のドレインが接続されている。

【0058】

電界効果トランジスタ508のドレインには、電界効果トランジスタ511のソースが接続されている。電界効果トランジスタ511のゲートには、制御電圧 V_{cA} が供給されている。電界効果トランジスタ511のドレインには、インダクタ504, 505, 506の各々の一方の端子が接続されている。インダクタ506の他方の端子には電界効果トランジスタ512のソースが接続されている。電界効果トランジスタ512のドレインには電源電圧 V_{dd} が供給されている。また、電界効果トランジスタ512のゲートには制御電圧 V_{cB} が供給されている。インダクタ504の他方の端子には、電界効果トランジスタ510のドレインが接続されている。電界効果トランジスタ509, 510の各々のゲートには、制御電圧 V_{cB} が供給される。電界効果トランジスタ508, 509, 510のソースは接地されている。インダクタ505の他方の端子は、出力端子OUTと、容量507の一方の端子が接続されている。容量507の他方の端子は接地されている。

【0059】

そして、インダクタ 501, 505, 506 および容量 507 は入出力整合回路として働く。ただし、インダクタ 506 はチョークインダクタとしての機能も有する。抵抗 502 は入力信号にゲートバイアスを加える。電界効果トランジスタ 508, 511 は、本可変利得増幅回路のメインの増幅素子である。制御電圧 V_{cA} , V_{cB} は、本増幅回路をオン／オフするための制御電圧であり、相補関係にある。

【0060】

本増幅回路は、所望によって制御を加えられることによりオン状態とオフ状態が切り替わる。制御電圧 V_{cA} をローレベル、制御電圧 V_{cB} をハイレベルに設定し、ゲートバイアス電位 V_{gbias} を 0 V に設定すると、本増幅回路はオフ状態となる。

【0061】

制御電圧 V_{cA} をハイレベル、制御電圧 V_{cB} をローレベルに設定し、ゲートバイアス電位 V_{gbias} を動作電位に設定すると、本増幅回路はオン状態となる。ここで動作電位とは、トランジスタ 508 が増幅器として動作するゲートバイアス値である。

【0062】

オン状態では、本増幅回路は、入力端子 IN および出力端子 OUT と電氣的に接続され、入力端子 IN の信号を増幅して出力端子 OUT に供給する。オフ状態では、本増幅回路は入出力ともに高インピーダンスとなり、入力端子 IN および出力端子 OUT と電氣的に切り離される。

【0063】

本増幅回路が高インピーダンス状態となる原理は図 2 と同じである。

【0064】

図 6 は、本実施形態の可変利得増幅回路に適用可能なさらに他の増幅回路の構成を示す図である。図 6 を参照すると、本増幅回路は、インダクタ 601a, 601b, 603a, 604b, 604a, 604b, 605a, 605b, 606a, 606b、抵抗 602a, 602b、容量 607a, 607b および電界効果トランジスタ 608a, 608b, 609a, 609b, 610a, 610

b, 611a, 611b, 612, 613を有している。図6の増幅回路は基本的な構成は図5のものと同一であるが、差動増幅回路になっている点と、増幅器用の電界効果トランジスタ608a, 608bのソースと接地電位の間に定電流源用のトランジスタ613が設けられている点で図5のものと異なる。電界効果トランジスタ613のゲートバイアス電位 V_s は動作電位とされる。

【0065】

電界効果トランジスタ608a, 608bのゲートバイアス電位 V_{gbias} および定電流源用電界効果トランジスタ613のゲートバイアス電位 V_s を動作電位に設定し、制御電圧 V_c をハイレベルに設定すると、電界効果トランジスタ611a, 611b, 612はオン状態となり、電界効果トランジスタ609a, 609b, 610a, 610bはオフ状態となる。それにより、インダクタ603a, 603b, 604a, 604bはフローティング状態状態となり、本増幅回路は通常の増幅動作を行う。

【0066】

一方、制御電圧 V_c がローレベルのとき、電界効果トランジスタ611a, 611b, 612がオフとなり、電界効果トランジスタ609a, 609b, 610a, 610bがオンとなる。このとき、インダクタ603a, 603b, 604a, 604bは接地され、電界効果トランジスタの容量と並列共振することにより増幅器の入出力インピーダンスが高くなる。

【0067】

図7は、伝送線路を用いた増幅回路の構成を示す図である。図7を参照すると、本増幅回路は、伝送線路721, 722, 723、電界効果トランジスタ720, 724, 725および出力整合回路726を有している。

【0068】

入力端子INには、伝送線路721の一端が接続されている。伝送線路721の他端には、伝送線路722の一端と、電界効果トランジスタ720のゲートが接続されている。伝送線路722の他端には、電界効果トランジスタ724, 725の各々のドレインが接続されている。電界効果トランジスタ725のゲートには制御電圧 V_{cA} が供給されている。電界効果トランジスタ724のゲートに

は制御電圧 V_{cB} が供給されている。

【0069】

電界効果トランジスタ 724 のソースには伝送線路 723 の一端が接続されている。伝送線路 723 の他端と、電界効果トランジスタ 725 のソースは接地されている。

【0070】

電界効果トランジスタ 720 のドレインは出力整合回路 726 を介して出力端子 OUT に接続されている。電界効果トランジスタ 720 のソースは接地されている。

【0071】

そして、伝送線路 721 は入力整合をとり、出力整合回路 726 は出力整合をとる。電界効果トランジスタ 720 は、本増幅回路のメインの増幅素子である。

【0072】

伝送線路 722 の長さは、本増幅回路が適用される信号の波長の 4 分の 1 より短い。そのため、伝送線路 722 はインダクタとして働く。また、伝送線路 722 の長さは、そのインダクタンスが電界効果トランジスタ 720 のゲート容量と並列共振するような値となっている。

伝送線路 723 の長さとは伝送線路 722 の長さを足すと、本増幅回路が適用される信号の波長の 4 分の 1 (あるいはその奇数倍) 相当となるように、伝送線路 723 の長さは決められている。

【0073】

説明を簡単にするため、以下、入力側のみに着目して原理を説明する。

【0074】

電界効果トランジスタ 724, 725 の各々は SPST (Single-Pole Single-Throw) スイッチを構成する。そして、電界効果トランジスタ 724, 725 が、相補関係にある制御電圧 V_{cA} , V_{cB} でそれぞれ制御される。

【0075】

制御電圧 V_{cA} がハイレベルに設定され、制御電圧 V_{cB} がローレベルに設定さ

れると、電界効果トランジスタ 724 がオフで、電界効果トランジスタ 725 がオンとなる。これにより、伝送線路 723 は本増幅回路から切り離され、伝送線路 722 が直接は接地される。伝送線路 722 は、波長の 4 分の 1 より短いのでインダクタとして働き、かつ、そのインダクタンスが電界効果トランジスタ 720 のゲート容量と並列共振するような値となっているので、入力端子 IN から見て本増幅回路は高インピーダンスとなっている。

【0076】

一方、制御電圧 V_{cA} がローレベルに設定され、制御電圧 V_{cB} がハイレベルに設定されると、電界効果トランジスタ 724 がオンで、電界効果トランジスタ 725 がオフとなる。これにより、伝送線路 723 の一端が電氣的に伝送線路 722 の接続された状態となる。

【0077】

伝送線路 722 と伝送線路 723 の長さの合計は 4 分の 1 波長であり、伝送線路 723 の他端は接地されているので、電界効果トランジスタ 720 のゲートから伝送線路 722, 723 を見るとインピーダンスが無限大となっている。インピーダンスが無限大に見える伝送線路 722 および伝送線路 723 は、電界効果トランジスタ 720 のゲートに対して何の影響も与えないので、本増幅回路は増幅動作を行うだけである。

【0078】

なお、制御電圧 V_{cA} をハイレベルに、制御電圧 V_{cB} をローレベルに設定するとき、電界効果トランジスタ 720 が増幅動作を行わないように、ゲートバイアス電圧を設定する必要がある。

【0079】

次に、本発明の実施形態による増幅回路と従来の増幅回路の特性を比較する。

【0080】

図 8 は、特性を比較する 2 つの増幅回路の構成を示す図である。図 8 (a) には本発明の実施形態による可変利得増幅回路が示されており、図 8 (b) には従来の可変利得増幅回路が示されている。

【0081】

図 8 (a) に示された可変利得増幅回路は、増幅回路 832 の出力に増幅回路 830 とアッテネータ 831 が並列に接続された構成である。そして、増幅回路 830 は、増幅用の電界効果トランジスタのゲート容量とインダクタからなる並列共振回路を構成するか否かを、スイッチ用の電界効果トランジスタの切り替えにより選択可能な構成である。並列共振回路が構成されると、増幅回路 830 は入出力が高インピーダンスとなり、可変利得増幅回路から電氣的に切断される。

【0082】

図 8 (b) に示された可変利得増幅回路は、図 8 (a) に示された可変利得増幅回路と同様に、増幅回路 832 の出力に増幅回路 833 とアッテネータ 831 が並列に接続された構成である。しかし、増幅回路 833 は、増幅回路 830 と異なり、信号の経路にスイッチ用の電界効果トランジスタを挿入し、その電界効果トランジスタのオン／オフにより可変利得増幅回路に電氣的に接続されるか否かが選択される構成である。

【0083】

図 8 (a) に示された各可変利得増幅回路は共に 5 GHz 帯の信号に適用されるものとして、インダクタンスの値が決められているものとする。

【0084】

図 9 は、図 8 (a) (b) に示された各可変利得増幅回路における、周波数に対する利得の関係を示すグラフである。図 9 には、増幅回路 830, 833 を可変利得増幅回路に電氣的に接続したとき（高利得動作）の利得特性と、電氣的に切断したとき（低利得動作）の利得特性が示されている。図 10 は、図 8 (a)

(b) に示された各可変利得増幅回路における、周波数に対するノイズ指数の関係を示すグラフである。

【0085】

図 9 および図 10 において、図 8 (a) の可変利得増幅回路の特性が実線で示され、図 8 (b) の可変利得増幅回路の特性が破線で示されている。

【0086】

図 9 を参照すると、高利得動作時の利得は、図 8 (a) の可変利得増幅回路の方が、図 8 (b) の可変利得増幅回路よりも 5 dB 程度高くなっている。また、

図10を参照すると、ノイズ指数は、図8(a)の可変利得増幅回路の方が、図8(b)の可変利得増幅回路よりも0.2dB程度低くなっている。これは、図8(b)では、信号の経路に挿入されているスイッチ用の電界効果トランジスタが信号で損失が起こるためである。この損失を増幅回路の利得を上げて補おうとすると、消費電流が50%程度増大することになる。すなわち、図8(a)の可変利得増幅回路は図8(b)の可変利得増幅回路に対して50%の消費電力低減効果を上げていると言える。

【0087】

一方、図9を参照すると、低利得動作時の利得は、図8(a)(b)の両者に利得の差は殆どない。これは、個々の増幅回路が可変利得増幅回路から電氣的に良好に切断されているからである。つまり、増幅回路の入出力が良好に高インピーダンスとなっていると言える。

【0088】

【発明の効果】

本発明によれば、制御回路によって入力インピーダンスまたは出力インピーダンスが高インピーダンスとされるので、信号経路にスイッチを挿入することなく電氣的な接続／切断を切り替えることができ、スイッチを挿入することによる損失を生じず、低消費電力で高利得を得ることができる。

【0089】

また、増幅素子に寄生する容量による高周波数帯でのインピーダンスの低下を、インダクタンス素子により相殺できるので、高周波数帯においても高インピーダンスとすることができる。また、所定の周波数で寄生容量と並列共振するインダクタンス素子により相殺できるので、所定の周波数で高インピーダンスとすることができる。

【0090】

また、本発明の可変利得増幅回路によれば、各増幅回路は選択されていないとき入出力を高インピーダンス化でき、並列接続する増幅回路の数が多くても高利得を維持できるので、広い利得可変範囲をとっても、あるいは細かい利得可変ステップをとっても、高利得、低ノイズ指数、および低消費電流を実現できる。

【図面の簡単な説明】**【図 1】**

可変アッテネータと増幅器を組合せた利得可変増幅回路の従来例を示す図である。

【図 2】

図 1 に示された増幅回路の構成を示す図である。

【図 3】

図 2 に示した増幅回路が高インピーダンス状態となる原理について説明するための図である。

【図 4】

本実施形態の可変利得増幅回路に適用可能な他の増幅回路の構成を示す図である。

【図 5】

本実施形態の可変利得増幅回路に適用可能な他の増幅回路の構成を示す図である。

【図 6】

本実施形態の可変利得増幅回路に適用可能なさらに他の増幅回路の構成を示す図である。

【図 7】

伝送線路を用いた増幅回路の構成を示す図である。

【図 8】

特性を比較する 2 つの増幅回路の構成を示す図である。

【図 9】

図 8 (a) (b) に示された各可変利得増幅回路における、周波数に対する利得の関係を示すグラフである。

【図 10】

図 8 (a) (b) に示された各可変利得増幅回路における、周波数に対するノイズ指数の関係を示すグラフである。

【図 11】

可変アッテネータと増幅器を組合せた利得可変増幅回路の従来例を示す図である。

【図 12】

スイッチにより増幅器とアッテネータのいずれかを選択する可変利得増幅回路の従来例を示す図である。

【図 13】

複数の増幅器を用いた可変利得増幅回路の従来例を示す図である。

【符号の説明】

100₁～100_N 増幅回路
201, 203, 204, 205, 206 インダクタ
202 抵抗
207 容量
208, 209, 210 電界効果トランジスタ
301, 303～306 インダクタ
307, 320, 321 容量
401, 403, 404, 405, 406 インダクタ
402 抵抗
407 容量
408～411 電界効果トランジスタ
501, 503, 504, 505, 506 インダクタ
502 抵抗
507 容量
508～512 電界効果トランジスタ
601a, 601b, 603a, 604b, 604a, 604b, 605a,
605b, 606a, 606b インダクタ
602a, 602b 抵抗
607a, 607b 容量
608a, 608b, 609a, 609b, 610a, 610b, 611a,
611b, 612, 613 電界効果トランジスタ

7 2 1, 7 2 2, 7 2 3 伝送線路

7 2 0, 7 2 4, 7 2 5 電界効果トランジスタ

7 2 6 出力整合回路

8 3 0, 8 3 2, 8 3 3 増幅回路

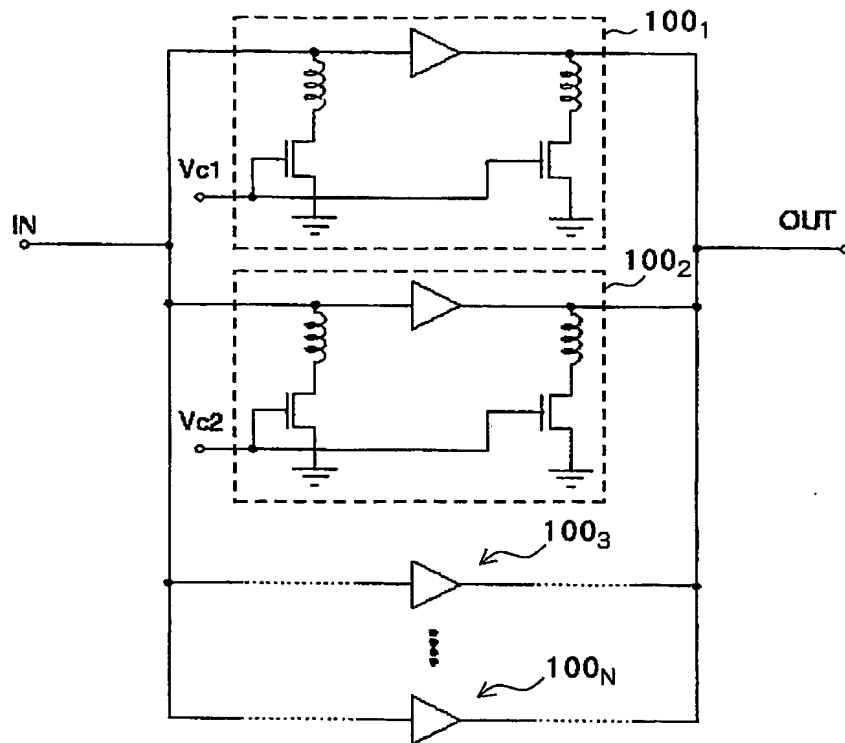
8 3 1 アッテネータ

I N 入力端子

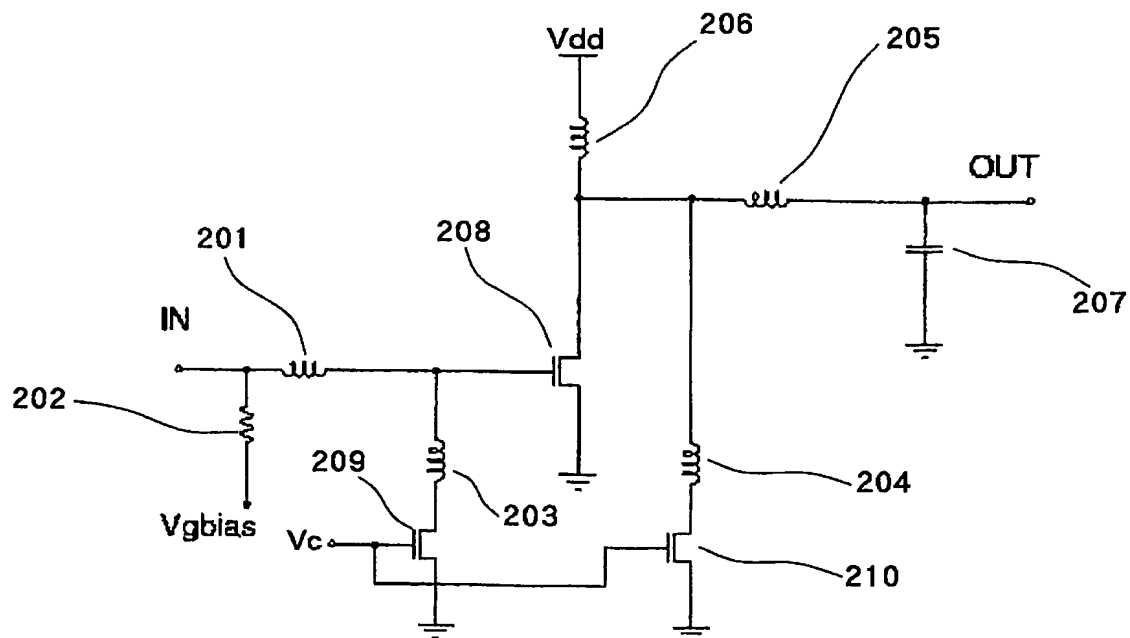
O U T 出力端子

【書類名】 図面

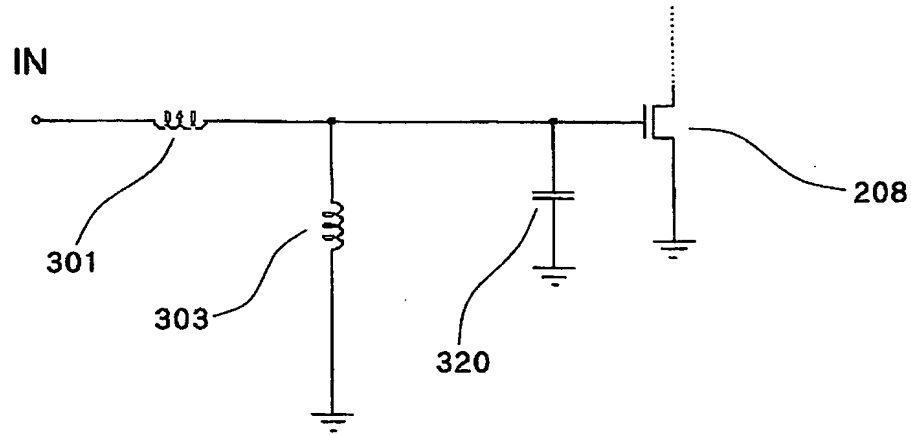
【図 1】



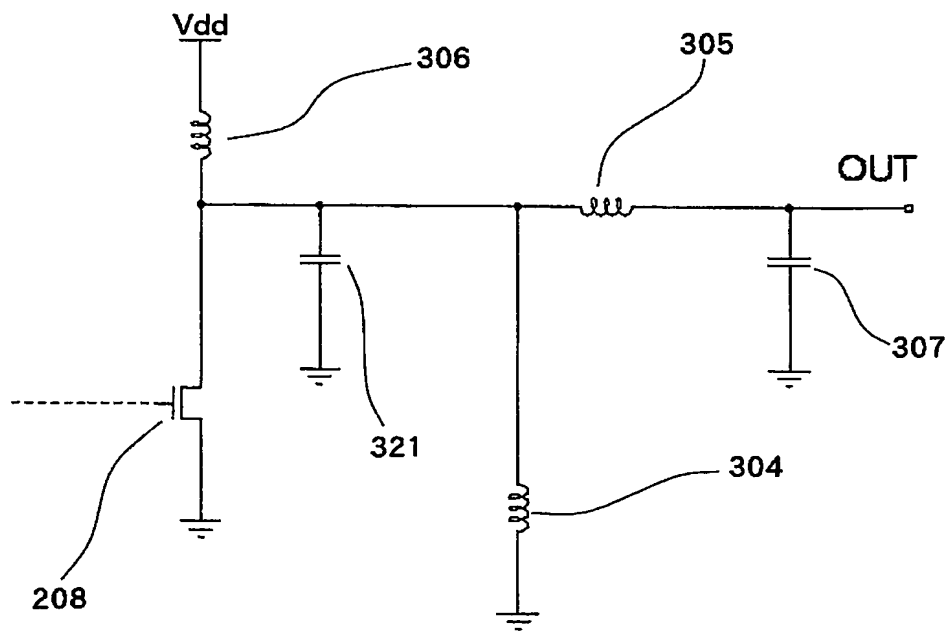
【図 2】



【図 3】

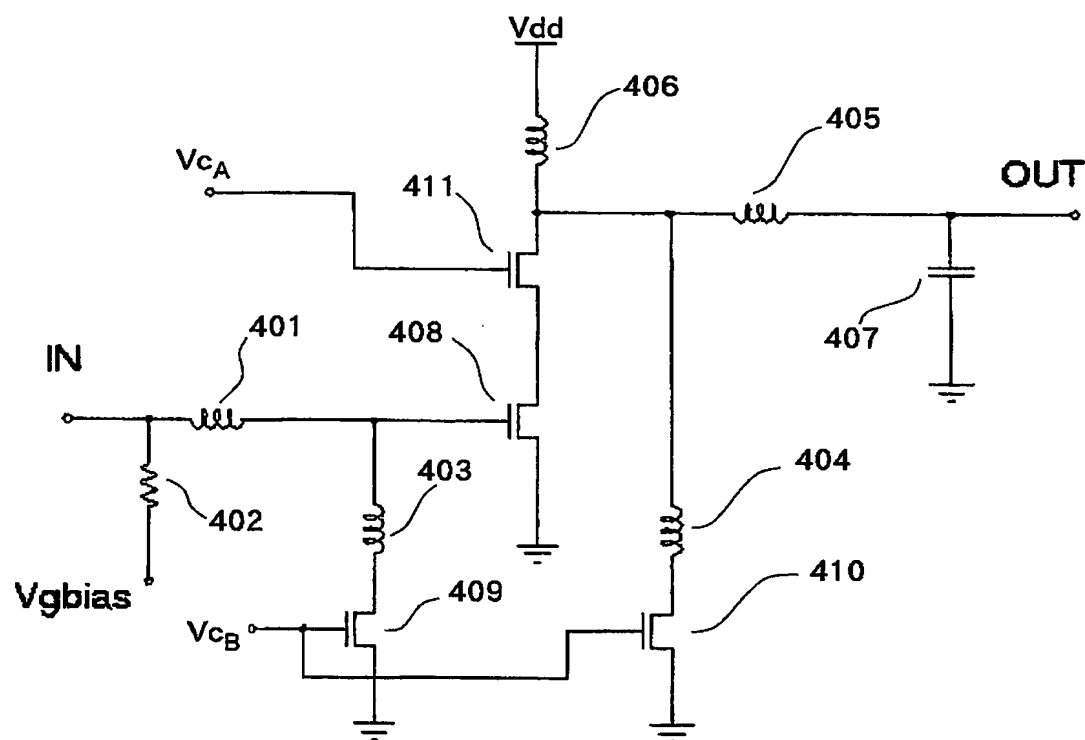


(a)

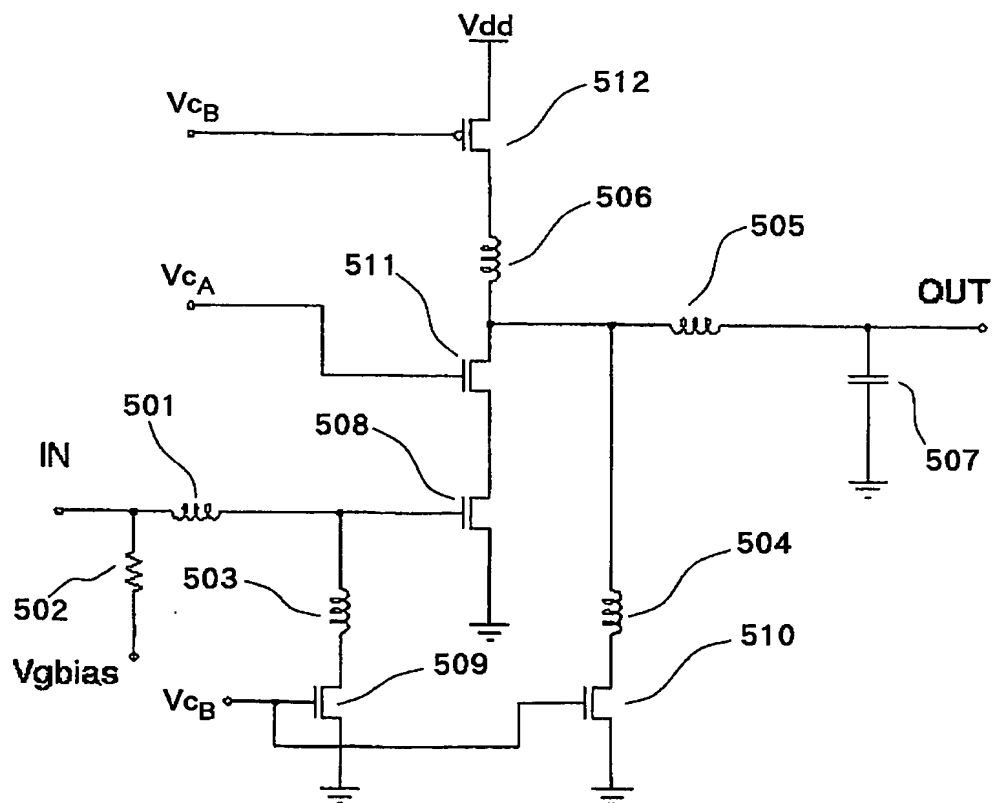


(b)

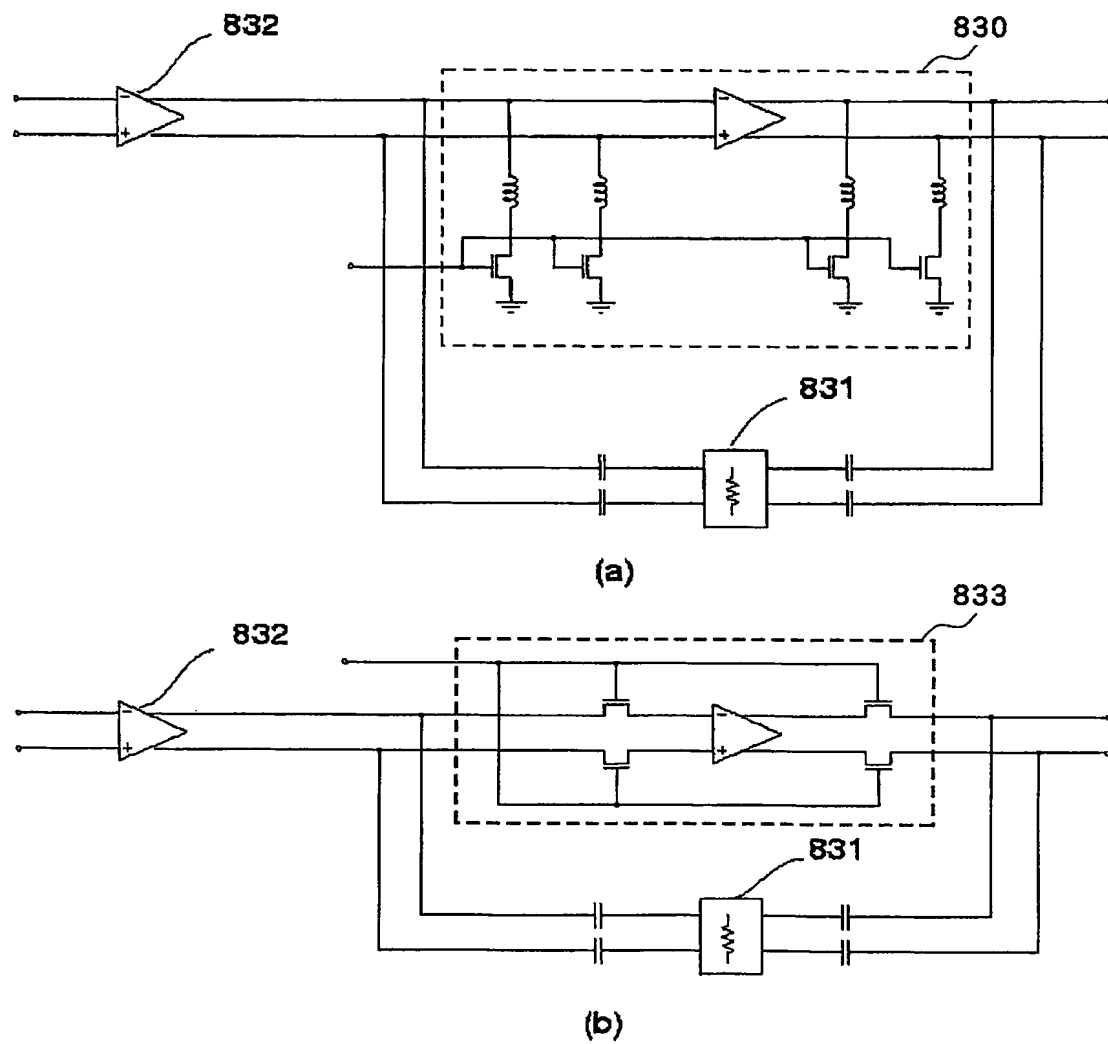
【图 4】



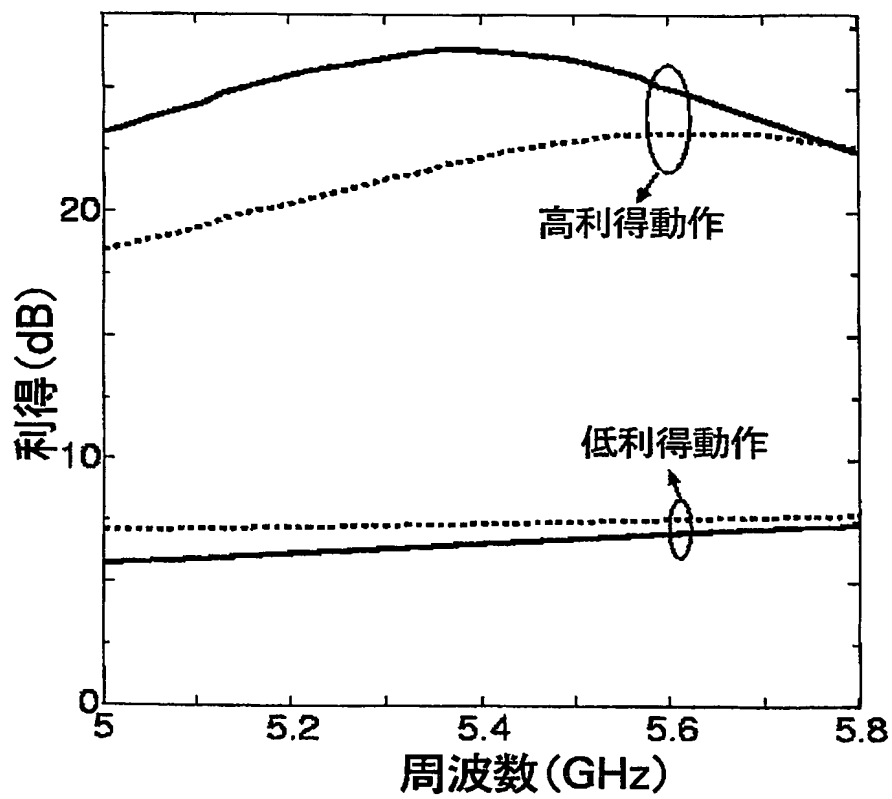
【図 5】



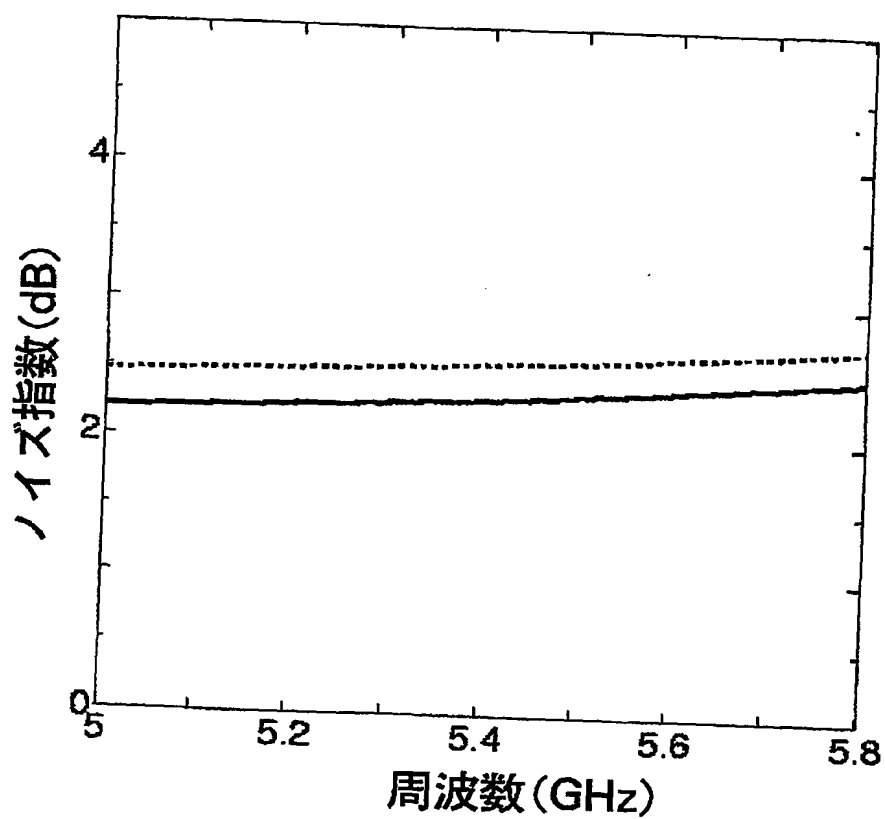
【図 8】



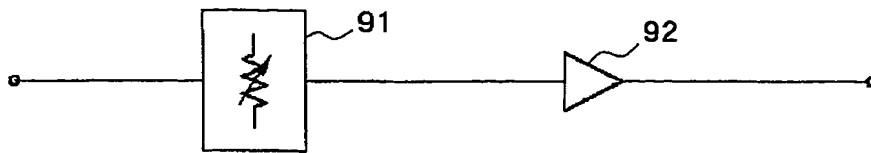
【図 9】



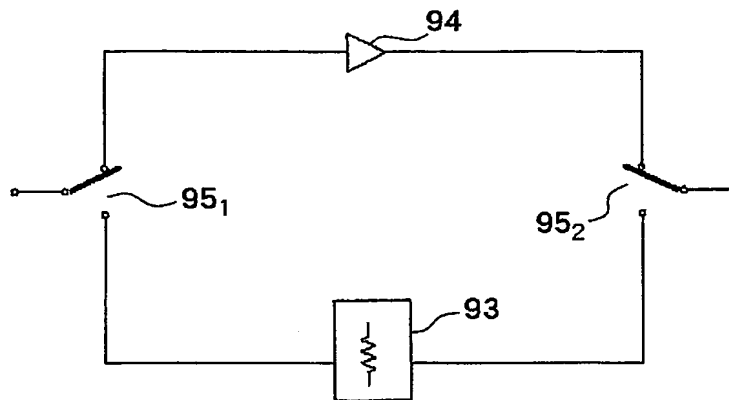
【図 10】



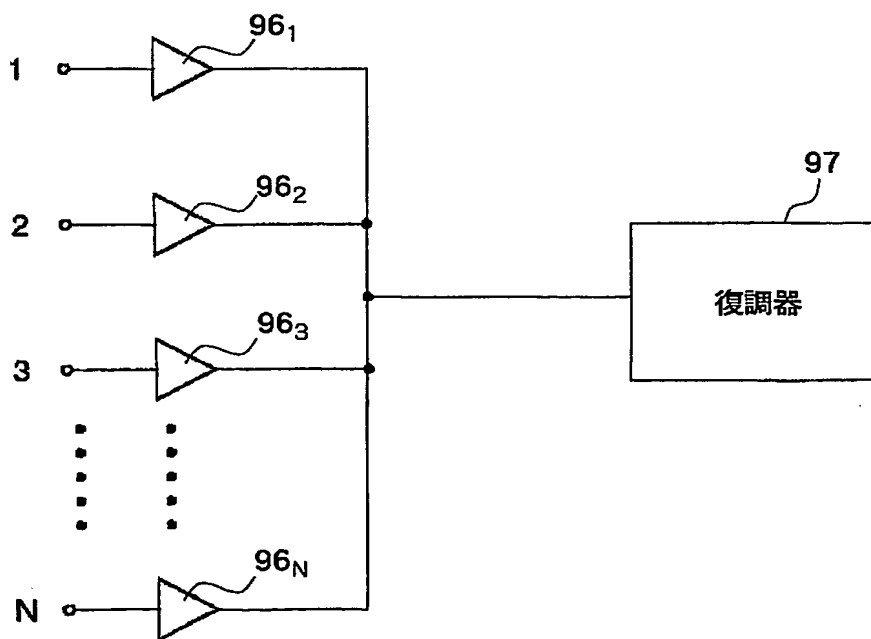
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 入出力を良好に高インピーダンスにでき、かつ低消費電力で高利得の得られる増幅回路と、それを複数有し、ノイズ特性に優れ、かつ利得可変範囲の広い可変利得増幅回路を提供する。

【解決手段】 増幅素子 208 は、入力端子 IN からの信号を増幅して出力端子 OUT に出力する。インダクタンス素子 203, 204 およびスイッチ素子 209, 210 からなる制御回路は、所望により増幅素子 208 の入出力インピーダンスを高インピーダンスにする。利得の異なる複数の増幅回路が並列に接続された構成において、いずれかの増幅回路が選択され、他の増幅回路が高インピーダンスとされることにより所望の利得が得られる。

【選択図】 図 2

特願 2 0 0 2 - 3 5 2 6 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.